

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

ATTORNEY DOCKET NO. 088941/0184



Applicant: Atsushi YOSHIKAWA et al.

Title: DELAY ADJUSTMENT CIRCUIT AND A CLOCK GENERATING
CIRCUIT USING THE SAME

Appl. No.: Unassigned

Filing Date: 02/02/2001

Examiner: Unassigned

Art Unit: Unassigned

CLAIM FOR CONVENTION PRIORITY

Assistant Commissioner for Patents
Washington, D.C. 20231

Sir:


The benefit of the filing date of the following prior foreign application filed in the following foreign country is hereby requested, and the right of priority provided in 35 U.S.C. § 119 is hereby claimed.

In support of this claim, filed herewith is a certified copy of said original foreign application:

Japan Patent Application No. 2000-028077 filed February 4, 2000.

Respectfully submitted,

February 2, 2001
Date

for / 
David A. Blumenthal
Attorney for Applicant
Registration No. 26,257

Reg. No.
38,819

FOLEY & LARDNER
Washington Harbour
3000 K Street, N.W., Suite 500
Washington, D.C. 20007-5109
Telephone: (202) 672-5407
Facsimile: (202) 672-5399

日 本 国 特 許 庁
PATENT OFFICE
JAPANESE GOVERNMENT

11011 U.S. PTO
09/773595
02/02/01

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application:

2000年 2月 4日

出 願 番 号
Application Number:

特願2000-028077

出 願 人
Applicant(s):

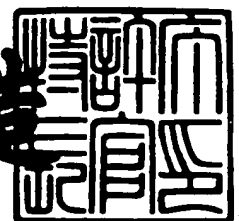
日本電気株式会社

CERTIFIED COPY OF
PRIORITY DOCUMENT

2000年12月15日

特許庁長官
Commissioner,
Patent Office

及川耕造



出証番号 出証特2000-3103808

【書類名】 特許願

【整理番号】 34001907

【提出日】 平成12年 2月 4日

【あて先】 特許庁長官 殿

【国際特許分類】 H03K 3/03

【発明の名称】 遅延調整回路及びこれを用いたクロック生成回路

【請求項の数】 11

【発明者】

 【住所又は居所】 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内

 【氏名】 吉川 篤志

【発明者】

 【住所又は居所】 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内

 【氏名】 萩原 靖彦

【特許出願人】

 【識別番号】 000004237

 【氏名又は名称】 日本電気株式会社

【代理人】

 【識別番号】 100108578

 【弁理士】

 【氏名又は名称】 高橋 詔男

【代理人】

 【識別番号】 100064908

 【弁理士】

 【氏名又は名称】 志賀 正武

【選任した代理人】

 【識別番号】 100101465

 【弁理士】

 【氏名又は名称】 青山 正和

【選任した代理人】

【識別番号】 100108453

【弁理士】

【氏名又は名称】 村山 靖彦

【手数料の表示】

【予納台帳番号】 008707

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9709418

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 遅延調整回路及びこれを用いたクロック生成回路

【特許請求の範囲】

【請求項 1】 各ゲートが直列接続され入力信号の遅延時間の微調整を行うための第 1 のゲート群と、

該第 1 のゲート群のうち特定のゲートの出力側に第 1 のスイッチ手段を介して接続される負荷容量と、

前記第 1 のゲート群の出力側に第 2 のスイッチ手段を介して接続され前記入力信号の遅延時間の粗調整を行うための第 2 のゲート群と、

前記第 1 のゲート群のうち特定のゲートの出力側に接続される負荷容量及び第 2 のゲート群のゲート段数を調整することにより前記入力信号の遅延時間を調整するように第 1、第 2 のスイッチ手段を制御する制御手段と、

を有することを特徴とする遅延調整回路。

【請求項 2】 前記制御手段は、半導体集積回路装置内に設けられ、内部信号により出力値を設定することができるレジスタを含んで構成され、

前記レジスタに設定されたレジスタ値に基づいて前記第 1、第 2 のスイッチ手段を切換制御することにより、ゲート出力負荷及び前記第 2 のゲート群のゲート段数を調整することを特徴とする請求項 1 に記載の遅延調整回路。

【請求項 3】 前記制御手段は、半導体集積回路装置内に設けられ、初期化により外部から出力値を設定することができるレジスタを含んで構成され、

前記レジスタに設定されたレジスタ値に基づいて前記第 1、第 2 のスイッチ手段を切換制御することにより、ゲート出力負荷及び前記第 2 のゲート群のゲート段数を調整することを特徴とする請求項 1 に記載の遅延調整回路。

【請求項 4】 基準クロックが入力される 1 以上の請求項 1 乃至 3 のいずれかに記載の遅延調整回路と、

前記 1 以上の請求項 1 乃至 3 のいずれかに記載の遅延調整回路の出力信号の論理演算を行い前記基準クロックに対して N 倍動作周波数のクロックを出力する論理回路と、

を有することを特徴とするクロック生成回路。

【請求項 5】 請求項 4 に記載のクロック生成回路と、
論理ゲート間に設けられ、前記クロック生成回路における調整可能な特定エッジのタイミングで動作するフリップフロップと、
を有することを特徴とする半導体集積回路装置。

【請求項 6】 基準クロックが入力される 1 以上の請求項 1 乃至 3 のいずれかに記載の遅延調整回路と、

基準クロックと、前記 1 以上の請求項 1 乃至 3 のいずれかに記載の遅延調整回路における出力信号との論理演算を行い前記基準クロックに対して N 倍動作周波数のクロックを出力する論理回路と、

前記 1 以上の請求項 1 乃至 3 のいずれかに記載の遅延調整回路の出力を非動作モード時にのみ一定値に固定する設定手段とを有し、

前記論理回路の論理演算結果に基づいて非動作モードとして基準クロックの 1 倍又は動作モードとして基準クロックの N 倍の動作周波数のクロックを出力することを特徴とするクロック生成回路。

【請求項 7】 請求項 2 または 3 のいずれかに記載の遅延調整回路と、
該クロック生成回路のクロック出力のデューティ比を検出するデューティ比検出手段と、

前記デューティ比検出手段の検出出力に基づいて予め設定されたデューティ比となるように前記遅延調整回路内のレジスタ値を動的に更新する制御手段と、
を有することを特徴とするクロック生成回路。

【請求項 8】 請求項 2 または 3 のいずれかに記載の遅延調整回路と、
クロックスキューを検出するクロックスキュー検出手段と、

前記クロックスキュー検出手段の検出出力に基づいてクロックスキューが予め設定された期待値となるように前記遅延調整回路内のレジスタ値を動的に更新する制御手段と、

を有することを特徴とするクロック生成回路。

【請求項 9】 半導体集積回路装置の内部レジスタの値、または内部メモリの値、または内部の論理信号、または外部の信号により遅延時間を調整することが可能な 1 つ以上の遅延調整回路と、

前記 1 つ以上の遅延回路により入力信号を所定時間遅らせた 1 つ以上の信号間の論理演算を行うことにより所望の周波数のクロックを出力する論理回路と、
を有することを特徴とするクロック生成回路。

【請求項 1 0】 半導体集積回路装置の内部レジスタの値、または内部メモリの値、または内部の論理信号、または外部の信号により遅延時間を調整することが可能な第 1、第 2、第 3 の 3 つの遅延調整回路と、

前記 3 つの遅延調整回路の入力端は共通接続され、第 1 及び第 3 遅延調整回路の出力の一方または両方により前記 3 つの遅延調整回路の入力または第 2 の遅延調整回路の出力を選択する第 1 のセレクタと、

前記 3 つの遅延調整回路の入力信号と第 2 の遅延調整回路の出力の一方または両方に基づいて前記第 1 または第 3 の遅延調整回路の出力を選択する第 2 のセレクタと、

前記第 1、第 2 のセレクタの出力信号の排他的論理積を求める論理回路と、
を有することを特徴とするクロック生成回路。

【請求項 1 1】 半導体集積回路装置の内部レジスタの値、または内部メモリの値、または内部の論理信号、または外部の信号により遅延時間を調整することが可能な第 1、第 2、第 3、第 4 の 4 つの遅延回路と、

前記 4 つの遅延調整回路の入力端は共通接続され、第 2 及び第 4 の遅延調整回路の出力の一方または両方により第 1 または第 3 の遅延調整回路の出力を選択する第 1 のセレクタと、

第 1 及び第 3 の遅延調整回路の出力の一方または両方により第 2 または第 4 の遅延調整回路の出力を選択する第 2 のセレクタと、

第 1 及び第 2 のセレクタの出力の排他的論理積を求める論理回路と、
を有することを特徴とするクロック生成回路。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明はディジタル処理に用いるクロック信号を生成するのに使用される波形調整可能な遅延調整回路及びこれを用いた所定の周波数を有するクロックを生成

するクロック生成回路に関する。

【0002】

【従来の技術】

従来のクロック生成回路では、基準クロックの動作周波数を $0.5 \times N$ ($N = 3$ 、4、5、…) 倍したクロックを生成するために、PLL回路を用いることが多い。図14に示すように、一般的に使用されているPLL回路800は、位相比較回路802と、ローパスフィルタ(LPF)804と、電圧制御発振器(VCO)806と、 $1/N$ 分周器808から構成されている。810は、PLL回路800により生成されたクロックを各部に供給するクロック分配回路である。

【0003】

このPLL回路800では、PLL回路800に入力される基準クロック801の N 倍動作周波数であるクロック807が生成される。PLL回路800により生成されたクロック807から、クロック分配回路810によって、出力クロック809が半導体集積回路装置(LSI)内の各ブロックに供給される。出力クロック809を $1/N$ 分周器808により N 分の1に分周した比較信号810がフィードバックされて、位相比較回路802で基準クロック801との位相差が検出される。

【0004】

位相比較回路802の出力である位相差検出パルス803は、位相差に応じたパルス幅を有し、ローパスフィルタ804によって積分され、そのパルス幅に応じた値のVCO制御電圧805が電圧制御発振回路(VCO)806に入力される。そして、基準クロック801と比較信号810との位相差に応じて電圧制御発振回路806の発振周波数を変更され、最終的にクロック分配回路810の出力809が基準クロック801と同期するよう制御される。

【0005】

【発明が解決しようとする課題】

このようにPLL回路は半導体集積回路の製造時に発生するトランジスタの能力や配線厚さ、配線幅等の半導体集積回路内のばらつきを補償するために用いられる。ところがPLL回路は周辺回路の動作率変動に伴い電源電圧が上下すると

、時間的に出力波形の幅が増減する現象がみられる。これをジッタと呼ぶ。PLL回路が基準クロック801に同期しようと動作する限り、PLL回路を使用する以上、決してジッタが無くなることはない。

【0006】

また基準クロック801の波形がデューティ比の変動により期待している波形と異なる場合には、位相比較回路が期待通りに動作しない場合がある。

ジッタが大きかったり、デューティ比が設計時の見積もりと異なる場合には製造したLSIが動作しない可能性があり、再製造又は再設計を行わなければならないという問題があった。

【0007】

本発明はこのような事情に鑑みてなされたものであり、半導体集積回路装置の内部レジスタ値または内部信号、外部信号を制御することにより入力信号の遅延時間を調整することができる遅延調整回路を提供することを第1の目的とする。

また、本発明は、半導体集積回路装置の内部レジスタ値または内部信号、外部信号を制御することにより遅延時間を調節することができる遅延調整回路を用いて、半導体集積回路装置の製造ばらつきに起因するクロックスキュー及びデューティ比を補償することができ、かつジッタが小さいクロック生成回路を提供することを第2の目的とする。

【0008】

【課題を解決するための手段】

上記目的を達成するために、請求項1に記載の発明は、各ゲートが直列接続され入力信号の遅延時間の微調整を行うための第1のゲート群と、該第1のゲート群のうち特定のゲートの出力側に第1のスイッチ手段を介して接続される負荷容量と、前記第1のゲート群の出力側に第2のスイッチ手段を介して接続され前記入力信号の遅延時間の粗調整を行うための第2のゲート群と、前記第1のゲート群のうち特定のゲートの出力側に接続される負荷容量及び第2のゲート群のゲート段数を調整することにより前記入力信号の遅延時間を調整するように第1、第2のスイッチ手段を制御する制御手段とを有することを特徴とする。

【0009】

また、請求項 2 に記載の発明は、請求項 1 に記載の遅延調整回路において、前記制御手段は、半導体集積回路装置内に設けられ、内部信号により出力値を設定することができるレジスタを含んで構成され、前記レジスタに設定されたレジスタ値に基づいて前記第 1、第 2 のスイッチ手段を切換制御することにより、ゲート出力負荷及び前記第 2 のゲート群のゲート段数を調整することを特徴とする。

【 0 0 1 0 】

また、請求項 3 に記載の発明は、請求項 1 に記載の遅延調整回路において、前記制御手段は、半導体集積回路装置内に設けられ、初期化により外部から出力値を設定することができるレジスタを含んで構成され、前記レジスタに設定されたレジスタ値に基づいて前記第 1、第 2 のスイッチ手段を切換制御することにより、ゲート出力負荷及び前記第 2 のゲート群のゲート段数を調整することを特徴とする。

【 0 0 1 1 】

請求項 1、2、3 に記載の遅延調整回路によれば、各ゲートが直列接続され入力信号の遅延時間の微調整を行うための第 1 のゲート群と、該第 1 のゲート群のうち特定のゲートの出力側に第 1 のスイッチ手段を介して接続される負荷容量と、前記第 1 のゲート群の出力側に第 2 のスイッチ手段を介して接続され前記入力信号の遅延時間の粗調整を行うための第 2 のゲート群と、前記第 1 のゲート群のうち特定のゲートの出力側に接続される負荷容量及び第 2 のゲート群のゲート段数を調整することにより前記入力信号の遅延時間を調整するように第 1、第 2 のスイッチ手段を制御する制御手段とを有するので、半導体集積回路装置の内部レジスタ値または内部信号、外部信号を制御することにより入力信号の遅延時間を調整することができる。

【 0 0 1 2 】

また、請求項 4 に記載の発明は、基準クロックが入力される 1 以上の請求項 1 乃至 3 のいずれかに記載の遅延調整回路と、前記 1 以上の請求項 1 乃至 3 のいずれかに記載の遅延調整回路の出力信号の論理演算を行い前記基準クロックに対して N 倍動作周波数のクロックを出力する論理回路とを有することを特徴とする。

【 0 0 1 3 】

請求項 4 に記載のクロック生成回路によれば、PLL 回路を用いずに波形調整可能な遅延調整回路を用いているので、半導体集積回路装置の製造ばらつきに起因するクロックスキュー及びデューティ比を補償することができ、かつジッタが小さくすることができる。

【 0 0 1 4 】

また、請求項 5 に記載の発明は、請求項 4 に記載のクロック生成回路と、論理ゲート間に設けられ、前記クロック生成回路における調整可能な特定エッジのタイミングで動作するフリップフロップとを有することを特徴とする。

【 0 0 1 5 】

請求項 5 に記載の半導体集積回路装置によれば、クロック生成回路における調整可能な特定エッジのタイミングで動作するフリップフロップを論理ゲート間に設けるようにしたので、クロックスキュー及びジッタの影響を最小限に抑制することが可能になる。

【 0 0 1 6 】

また、請求項 6 に記載の発明は、基準クロックが入力される 1 以上の請求項 1 乃至 3 のいずれかに記載の遅延調整回路と、基準クロックと、前記 1 以上の請求項 1 乃至 3 のいずれかに記載の遅延調整回路における出力信号との論理演算を行い前記基準クロックに対して N 倍動作周波数のクロックを出力する論理回路と、前記 1 以上の請求項 1 乃至 3 のいずれかに記載の遅延調整回路の出力を非動作モード時にのみ一定値に固定する設定手段とを有し、前記論理回路の論理演算結果に基づいて非動作モードとして基準クロックの 1 倍又は動作モードとして基準クロックの N 倍の動作周波数のクロックを出力することを特徴とする。

【 0 0 1 7 】

請求項 6 に記載のクロック生成回路によれば、基準クロックが入力される 1 以上の請求項 1 乃至 3 のいずれかに記載の遅延調整回路と、基準クロックと、前記 1 以上の請求項 1 乃至 3 のいずれかに記載の遅延調整回路における出力信号との論理演算を行い前記基準クロックに対して N 倍動作周波数のクロックを出力する論理回路と、前記 1 以上の請求項 1 乃至 3 のいずれかに記載の遅延調整回路の出力を非動作モード時にのみ一定値に固定する設定手段とを有するので、非動作モー

ドとして基準クロックの1倍又は動作モードとして基準クロックのN倍の動作周波数の波形制御可能なクロックを出力することができる。

【0018】

また、請求項7に記載の発明は、請求項2または3のいずれかに記載の遅延調整回路と、該クロック生成回路のクロック出力のデューティ比を検出するデューティ比検出手段と、前記デューティ比検出手段の検出出力に基づいて予め設定されたデューティ比となるように前記遅延調整回路内のレジスタ値を動的に更新する制御手段とを有することを特徴とする。

【0019】

請求項7に記載のクロック生成回路によれば、請求項2または3のいずれかに記載の遅延調整回路と、該クロック生成回路のクロック出力のデューティ比を検出するデューティ比検出手段と、前記デューティ比検出手段の検出出力に基づいて予め設定されたデューティ比となるように前記遅延調整回路内のレジスタ値を動的に更新する制御手段とを有するので、クロックのデューティ比が期待値になるように自動的に調整することができる。

【0020】

また、請求項8に記載の発明は、請求項2または3のいずれかに記載の遅延調整回路と、クロックスキューを検出するクロックスキュー検出手段と、前記クロックスキュー検出手段の検出出力に基づいてクロックスキューが予め設定された期待値となるように前記遅延調整回路内のレジスタ値を動的に更新する制御手段とを有することを特徴とする。

【0021】

請求項8に記載のクロック生成回路によれば、請求項2または3のいずれかに記載の遅延調整回路と、クロックスキューを検出するクロックスキュー検出手段と、前記クロックスキュー検出手段の検出出力に基づいてクロックスキューが予め設定された期待値となるように前記遅延調整回路内のレジスタ値を動的に更新する制御手段とを有するので、クロックスキューが予め設定された期待値となるように自動的に調整することができる。

【0022】

また、請求項 9 に記載の発明は、半導体集積回路装置の内部レジスタの値、または内部メモリの値、または内部の論理信号、または外部の信号により遅延時間を調整することが可能な 1 つ以上の遅延調整回路と、前記 1 つ以上の遅延回路により入力信号を所定時間遅らせた 1 つ以上の信号間の論理演算を行うことにより所望の周波数のクロックを出力する論理回路とを有することを特徴とする。

【 0 0 2 3 】

請求項 9 に記載のクロック生成回路によれば、PLL 回路を使用することなく、クロック波形を制御することができ、それ故半導体集積回路装置（LSI）動作時に生じるジッタを低減でき、LSI 内におけるトランジスタ性能、配線幅、配線膜厚の製造ばらつきに起因して生じるクロックスキュー、及びクロックのデューティ比の変動に対してクロック波形を調整することができる。

【 0 0 2 4 】

また、請求項 1 0 に記載の発明は、半導体集積回路装置の内部レジスタの値、または内部メモリの値、または内部の論理信号、または外部の信号により遅延時間を調整することが可能な第 1、第 2、第 3 の 3 つの遅延調整回路と、前記 3 つの遅延調整回路の入力端は共通接続され、第 1 及び第 3 遅延調整回路の出力の一方または両方により前記 3 つの遅延調整回路の入力または第 2 の遅延調整回路の出力を選択する第 1 のセレクタと、前記 3 つの遅延調整回路の入力信号と第 2 の遅延調整回路の出力の一方または両方に基づいて前記第 1 または第 3 の遅延調整回路の出力を選択する第 2 のセレクタと、前記第 1、第 2 のセレクタの出力信号の排他的論理積を求める論理回路とを有することを特徴とする。

【 0 0 2 5 】

また、請求項 1 1 に記載の発明は、半導体集積回路装置の内部レジスタの値、または内部メモリの値、または内部の論理信号、または外部の信号により遅延時間を調整することが可能な第 1、第 2、第 3、第 4 の 4 つの遅延回路と、前記 4 つの遅延調整回路の入力端は共通接続され、第 2 及び第 4 の遅延調整回路の出力の一方または両方により第 1 または第 3 の遅延調整回路の出力を選択する第 1 のセレクタと、第 1 及び第 3 の遅延調整回路の出力の一方または両方により第 2 または第 4 の遅延調整回路の出力を選択する第 2 のセレクタと、第 1 及び第 2 のセ

レクタの出力の排他的論理積を求める論理回路とを有することを特徴とする。

【 0 0 2 6 】

請求項 1 0、1 1 に記載のクロック生成回路によれば、基準クロックを入力とし、半導体集積回路装置の内部レジスタの値、または内部メモリの値、または内部の論理信号、または外部の信号により遅延時間を調整することが可能な複数の遅延調整回路の出力を複数のセクタで統合し、これらのセクタの出力を論理回路により排他的論理積をとるようにしたので、入力信号である基準クロックのデューティ比に関係なく、自由なデューティ比のクロックを生成することが可能となる。

【 0 0 2 7 】

【発明の実施の形態】

以下、本発明の実施の形態を図面を参照して詳細に説明する。本発明の実施の形態に係る遅延調整回路の構成を図 1 に示す。同図において、本実施の形態に係る遅延調整回路は、各ゲートが直列接続され入力信号の遅延時間の微調整を行うための第 1 のゲート群 1 0 を構成するインバータ 1 1 ～ 1 4 と、該第 1 のゲート群のうちインバータ 1 2、1 3 の出力側に第 1 のスイッチ手段としてのトランスファゲート 4 0 ～ 4 3、5 0 ～ 5 3 を介して接続される負荷容量 6 0 ～ 6 3、7 0 ～ 7 3 と、前記第 1 のゲート群 1 0 の出力側に第 2 のスイッチ手段としてのトランスファゲート 8 0 ～ 8 3 を介して接続され前記入力信号の遅延時間の粗調整を行うための第 2 のゲート群 2 0 を構成するインバータチェーン 2 1 ～ 2 3 と、第 1 のゲート群 1 0 のうちインバータ 1 2、1 3 の出力側に接続される負荷容量 6 0 ～ 6 3、7 0 ～ 7 3 量及び第 2 のゲート群 2 0 のゲート段数を調整することにより前記入力信号の遅延時間を調整するように第 1、第 2 のスイッチ手段としてのトランスファゲート 4 0 ～ 4 3、5 0 ～ 5 3、8 0 ～ 8 3 を制御する制御手段としてのレジスタ群 3 0 とを有している。

【 0 0 2 8 】

第 1 のゲート群 1 0 を構成するインバータ 1 1 の入力側は入力端子 1 0 0 に接続され、インバータ 1 1 の出力側に、インバータ 1 2、1 3、1 4 の順に接続され、インバータ 1 4 の出力側には更にインバータチェーン 2 1 ～ 2 3 が順に接続

されている。インバータチェーン 2 1 ~ 2 3 は、偶数段のインバータにより構成されたゲート遅延回路である。

【 0 0 2 9 】

第 1 のゲート群 1 0 におけるインバータ 1 2 の出力側はトランスファージェート 4 0 ~ 4 3 の入力側に接続されており、インバータ 1 3 の出力側はトランスファージェート 5 0 ~ 5 3 の入力側に接続されている。トランスファージェート 4 0 ~ 4 3 の出力側にはそれぞれ容量 6 0 ~ 6 3 が接続され、トランスファージェート 5 0 ~ 5 3 の出力側にはそれぞれ容量 7 0 ~ 7 3 が接続されている。インバータ 1 4 及びインバータチェーン 2 1 ~ 2 3 の出力側は、それぞれトランスファージェート 8 0 ~ 8 3 の入力側に接続されている。

【 0 0 3 0 】

また、トランスファージェート 8 0 ~ 8 3 の出力側は共通接続され、トランスファージェート 8 0 ~ 8 3 のうち 1 つのトランスファージェートだけが選択的にオンになるように制御される 4 入力セレクトを構成している。この 4 入力セレクトを構成するトランスファージェート 8 0 ~ 8 3 の出力側は、バッファ 9 0 を介して遅延調整回路の出力端子 1 0 1 に接続されている。

【 0 0 3 1 】

レジスタ 2 0 0 ~ 2 0 3 から出力される信号はそれぞれトランスファージェート 4 0 ~ 4 3 に制御入力信号として供給され、レジスタ 2 1 0 ~ 2 1 3 から出力される信号はそれぞれトランスファージェート 5 0 ~ 5 3 に制御入力信号として供給される。トランスファージェート 4 0 ~ 4 3 に供給する制御入力信号をレジスタ 2 0 0 ~ 2 0 3 に設定されるレジスタ値で調節することによって、インバータ 1 2 の出力負荷としての容量値を容量 6 0 ~ 6 3 の組み合わせによる合成容量として設定することができる。また、トランスファージェート 5 0 ~ 5 3 に供給する制御入力信号をレジスタ 2 1 0 ~ 2 1 3 に設定されるレジスタ値で調節することによって、インバータ 1 3 の出力負荷としての容量値を容量 7 0 ~ 7 3 の組み合わせによる合成容量として設定することができる。

【 0 0 3 2 】

容量 6 1 ~ 6 3 の容量値を容量 6 0 の容量値に対して 2 倍、4 倍、8 倍とする

と、インバータ 1 2 の出力負荷として容量 6 0 の容量値の 0 倍から 1 5 倍まで 1 倍単位で合成容量の容量値を調整することができる。同様に、容量 7 1 ~ 7 3 の容量値を容量 7 0 の容量値に対して 2 倍、4 倍、8 倍とすると、インバータ 1 3 の出力負荷として容量 7 0 の容量値の 0 倍から 1 5 倍まで 1 倍単位で合成容量の容量値を調整することができる。

【 0 0 3 3 】

インバータ 1 2 及び 1 3 は、PMOS トランジスタのゲート幅を大きくして、NMOS トランジスタのオン抵抗よりも小さくなるような設計を行う。このように設計すると、NMOS トランジスタの駆動力を必要とする立ち下がりの方が、PMOS トランジスタの駆動力を必要とする立ち上がりよりも出力負荷の影響を受けやすい。したがって、出力端子 1 0 1 より出力される信号の立ち下がりにはインバータ 1 2 の出力負荷を調整することによって変動させることができ、また出力端子 1 0 1 より出力される信号の立ち上がりはインバータ 1 3 の出力負荷を調整することによって変動させることができる。それ故、出力端子 1 0 1 より出力される信号の立ち上がり波形及び立ち下がり波形は、インバータ 1 2 及び 1 3 の適切な出力負荷調整によって各々調整可能となる。

【 0 0 3 4 】

レジスタ 2 2 0 及び 2 2 1 から出力される信号は図示していないデコーダにより変換され、トランスファークラックゲート 8 0 ~ 8 3 に制御入力信号として供給される。トランスファークラックゲート 8 0 ~ 8 3 に供給される制御入力信号でオンになるのはトランスファークラックゲート 8 0 ~ 8 3 のうち 1 つだけであり、レジスタ 2 2 0 及び 2 2 1 の設定データにより遅延調整回路の入力端子 1 0 0 から出力端子 1 0 1 までのゲート段数を調整することができる。レジスタ 2 0 0 ~ 2 0 3、2 1 0 ~ 2 1 3、2 2 0、2 2 1 の各レジスタは、半導体集積回路装置 (LSI) 内に設けられ、内部信号により、または初期化により外部よりレジスタ値が設定されるようになっている。

【 0 0 3 5 】

上記構成からなる遅延調整回路では、インバータ 1 2、1 3 の出力負荷調整、すなわちゲート出力負荷調整により入力信号の遅延時間の微調整を行い、インバ

ータチェーン 2 1 ~ 2 3 の切換による入出力ゲート段数調整により入力信号の遅延時間の粗調整を行うことによって、入力端子 1 0 0 から入力された信号が出力端子 1 0 1 から出力されるまでの信号の立ち上がり及び立ち下りの遅延時間を各々調整することができる。

【 0 0 3 6 】

尚、本実施の形態では、制御手段としてレジスタを用い、その設定値により遅延時間を制御しようとしたが、これに限らず、内部メモリの値、内部の論理信号、または外部の信号により遅延時間の制御を行うようにしてもよい。

【 0 0 3 7 】

図 2 に示すように、図 1 に示した遅延調整回路 3 0 0 の入力端子 1 0 0 に入力信号として基準クロック CLK 0 を入力すると、基準クロック CLK 0 と動作周波数が等しい、立ち上がり及び立ち下りの波形調整可能なクロック CLK i を生成することができる。図 3 に基準クロック CLK 0 と波形調整可能なクロック CLK i の波形図を示す。

【 0 0 3 8 】

次に、本発明の第 1 の実施の形態に係るクロック生成回路の構成を図 4 に示す。

本実施の形態に係るクロック生成回路は、基準クロック CLK 0 を入力信号とする図 1 に示した構成の遅延調整回路 3 0 0 と、基準クロック CLK 0 と遅延調整回路 3 0 0 の出力信号との排他的論理和演算を行う排他的論理和回路 3 0 1 とを有する。

【 0 0 3 9 】

上記構成において、入力端子 1 1 0 より入力される基準クロック CLK に対して遅延調整回路 3 0 0 により $1/4$ 周期遅れたクロック CLK j を生成して、排他的論理和回路 3 0 1 により基準クロック CLK 0 とクロック CLK j との排他的論理和をとると、動作周波数が基準クロック CLK 0 に対して 2 倍のクロック CLK n を生成することができる。クロック CLK j はレジスタ値の制御により波形を調節することができるので、CLK n の立ち下りエッジは調整可能である。基準クロックと、クロック CLK j 及びクロック CLK n の出力タイミング

を図 5 に示す。

本発明の第 1 の実施の形態に係るクロック生成回路によれば、半導体集積回路装置の製造ばらつきに起因するクロックスキュー及びデューティ比を補償することができ、かつジッタを小さくすることができる。

【 0 0 4 0 】

次に、半導体集積回路を波形の立ち下がりが調整可能なクロックタイミング信号として使用することを前提として設計した場合について説明する。図 6 (A) は図 4 に示したクロック生成回路により出力されるクロック CLK_nの波形を示しており、図 6 (B) は、上述した半導体集積回路装置の構成を示している。この半導体集積回路装置は、図 4 に示したクロック生成回路と、論理ゲート 3 7 0、3 7 1、3 7 2 と、論理ゲート 3 7 0、3 7 1、3 7 2 間に設けられ、クロック生成回路における調整可能な特定エッジ（この例では立ち下がりエッジ）のタイミングで動作する立ち下がりエッジフリップフロップ 3 6 0、3 6 1 とを有する。

【 0 0 4 1 】

上記構成において、立ち下がりエッジフリップフロップ 3 6 0 及び 3 6 1 には、それぞれクロックエッジ 3 5 0 及び 3 5 1 が入力される。3 7 0、3 7 1 及び 3 7 2 は、それぞれフリップフロップ間の論理ゲートを表している。このクロック CLK_nの調整可能な立ち下がりエッジのみを用いた L S I 設計を行うと、クロックスキュー及びジッタの影響を最小限に抑制することが可能となる。

【 0 0 4 2 】

次に、本発明の第 2 の実施の形態に係るクロック生成回路の構成を図 7 に示す。本実施の形態に係るクロック生成回路は、基準クロックが入力される図 1 に示す遅延調整回路と、基準クロックと前記遅延調整回路における出力信号との論理演算を行い前記基準クロックに対して N 倍動作周波数のクロックを出力する論理回路としての排他的論理和回路 1 2 0 と、前記遅延調整回路の出力を非動作モード時にのみ一定値に固定する設定手段としての PMOS トランジスタ 1 1 0 とを有し、排他的論理和回路 1 2 0 の論理演算結果に基づいて非動作モードとして基準クロックの 1 倍又は動作モードとして基準クロックの N 倍（本実施の形態では 2

倍)の動作周波数のクロックを出力するものである。

【0043】

遅延調整回路は上述したように図1に示す構成と基本的には同一である。図7に示すように、図1示す遅延調整回路のノード91にソースが電源に接続されたプリチャージ用のPMOSトランジスタ110が追加され、またレジスタ群30'におけるレジスタ222が追加されている。本実施の形態に係るクロック生成回路では、トランスファークラーク80～83の制御入力が入力全てオフの状態を許可して、その場合にはプリチャージ用PMOSトランジスタ110のゲートに入力される入力信号である非動作信号によりPMOSトランジスタ110がオンとなるように制御される。

【0044】

レジスタ220～222の信号は図示していないデコーダによりデコードされて、トランスファークラーク80～83及びプリチャージ用PMOSトランジスタ110に制御入力信号として供給され、トランスファークラーク80～83及びプリチャージ用PMOSトランジスタ110のうちの1つだけがオンとなるように制御される。プリチャージ用PMOSトランジスタ110がオンの場合には、遅延調整回路の出力、すなわちバッファ90の出力は一定値1となり非動作モードとなる。従って、この非動作モードを持つ遅延調整回路の出力と入力端子100から入力される基準クロックとの排他的論理和演算を行う排他的論理和回路120を用いてクロック生成回路を構成することにより、遅延調整回路から出力されるクロックを基準クロックの波形に関係なく固定値1とすることができるので、レジスタ値の設定により出力端子122から出力されるクロックの動作周波数を非動作モードとして基準クロックの1倍、動作モードとして基準クロックの2倍のクロックを生成することができる。

【0045】

図8に本発明の第3の実施の形態としてのクロック生成回路を、図9に基準クロックと各部の出力クロックの出力タイミングを示す。図4のクロック生成回路では、遅延調整回路300により1/4周期遅れたクロックを生成しているが、図8に示すクロック生成回路では、遅延調整回路302により1/6周期遅れたク

ロックCLK_x、遅延調整回路303により1/3周期遅れたクロックCLK_yを生成している。

【0046】

排他的論理和回路304により基準クロックCLK₀、1/6周期遅れたクロックCLK_x及び1/3周期遅れたクロックCLK_yに対して排他的論理和をとると、基準クロックCLK₀に対して動作周波数が3倍の波形制御可能なクロックCLK_zを生成することができる。同様に、本実施の形態によれば、基準クロックを入力とする、遅延時間の異なる複数の遅延調整回路の出力の論理演算を行うことにより、基準クロックCLK₀に対してN倍動作周波数の波形制御可能なクロックを生成することができる。

【0047】

次に、本発明の第4の実施の形態に係るクロック生成回路の構成を図10に示す。本実施の形態に係るクロック生成回路400は、図1または図7に記載の遅延調整回路410と、遅延調整回路410の出力クロックの論理演算を行う論理回路420と、クロック生成回路400のクロック出力のデューティ比及びクロックスキューを検出する検出回路430と、検出回路430の検出出力に基づいて予め設定されたデューティ比及びクロックスキューとなるように前記遅延調整回路410内のレジスタ410のレジスタ値を動的に更新する制御回路440とを有している。遅延調整回路410は、レジスタ410と、可変遅延回路414とから構成されている。遅延調整回路410は、図1または図7に示す遅延調整回路と同様の構成であり、レジスタ410は図1または図7に示すレジスタ群30、または30'に相当し、可変遅延回路は図1または図7に示す遅延調整回路からレジスタ群30、または30'を除いた構成に相当する。500は基準クロック発生回路、510は分配回路である。

【0048】

上記構成において、基準クロック発生回路500から出力される基準クロック501が遅延調整回路410に入力され、遅延調整回路の出力415と基準クロック501の論理演算が論理回路420により行われ、この論理演算により基準クロック501のN倍の動作周波数のクロック421が生成される。

クロック 4 2 1 から分配回路 5 1 0 により出力クロック 5 1 2 が出され L S I 内の各ブロックに分配される。

【 0 0 4 9 】

分配回路 5 1 0 の出力クロックの一部 5 1 1 から、検出回 4 3 0 により出力クロック 5 1 1 のデューティ比やクロックスキューが検出され、これらの検出値と期待値としてのクロック波形とのずれが検出される。出力クロック 5 1 1 のデューティ比やクロックスキューが期待値と異なる場合には、制御回路 4 4 0 は、遅延調整回路 4 1 0 により出力クロック 4 2 1 の波形を調整するために、検出回路 4 3 0 の出力 4 3 1 に基づいてレジスタを適切な値に設定する。制御回路 4 4 0 の出力 4 4 1 により設定されたレジスタ値 4 1 1 により可変遅延回路 4 2 0 におけるクロックの遅延時間が調整され、出力クロック 4 2 1 がデューティ比やクロックスキューが期待値と一致するように補正される。

【 0 0 5 0 】

本実施の形態に係るクロック発生回路によれば、P L L 回路を用いずにレジスタの設定値に基づいて入力信号の遅延時間を調整する遅延調整回路と、該クロック生成回路のクロック出力のデューティ比及びクロックスキューを検出する検出回路と、前記検出回の検出出力に基づいて予め設定されたデューティ比及びクロックスキューとなるように前記遅延調整回路内のレジスタ値を動的に更新する制御回路とを有するので、クロックのデューティ比及びクロックスキューが期待値になるように自動的に調整することができる。

【 0 0 5 1 】

本発明の他の実施の形態として、その基本的構成は上記の通りであるが、上述した実施の形態においてクロック生成回路に用いられる遅延調整回路は 1 つに限らず、2 以上であってもよい。上記各実施の形態における遅延調整回路の負荷素子として 2 倍、4 倍、8 倍と設定している容量値は、これに限定されない。負荷素子としての実現方法は、インバータなどのゲート入力を用いるなど様々な方法がある。また、出力負荷容量調整用インバータの N M O S トランジスタ及び P M O S トランジスタにおけるゲート幅の比は、N M O S トランジスタのオン抵抗の方を小さくする設計も可能である。

【 0 0 5 2 】

また、上記実施の形態における遅延調整回路の微調整及び粗調整用のトランスファークラップ及びレジスタの数は、一例にすぎず、これに限定されない。また、トランスファークラップ以外のスイッチ手段を用いてもよい。

さらに、上記実施の形態において遅延調整回路の遅延素子としてはインバータを用いているが、インバータ以外のゲートを利用することも可能であり、ゲート段数も限定されない。また、遅延調整回路の出力の論理演算を行う論理回路として排他的論理和回路を使用した例について説明したが、これに限らず、排他的論理和回路の代わりに、排他的否定論理積回路とすることによってクロック波形を反転することも可能であり、この場合には調整可能なクロックエッジも反転する。

【 0 0 5 3 】

上記実施の形態における非動作モードを持つ遅延調整回路では、固定値出力をプリチャージ用PMOSトランジスタにより実現しているが、NMOSトランジスタを用いて固定値を出力することも可能である。また、固定値は1に限定されない。

【 0 0 5 4 】

次に、本発明の第5の実施の形態に係るクロック生成回路の構成を図11に示す。同図において、本実施の形態に係るクロック生成回路は、半導体集積回路装置の内部レジスタの値、または内部メモリの値、または内部の論理信号、または外部の信号により遅延時間を調整することが可能な第1、第2、第3の3つの遅延調整回路601、602、603と、3つの遅延調整回路601～603の入力端は共通接続され、第1及び第3遅延調整回路601、603の出力の一方または両方により前記3つの遅延調整回路601～603の入力または第2の遅延調整回路602の出力を選択する第1のセレクタ610と、前記3つの遅延調整回路の601～603入力と第2の遅延調整回路602の出力の一方または両方に基づいて前記第1または第3の遅延調整回路601、603の出力を選択する第2のセレクタ611と、前記第1、第2のセレクタ610、611の出力信号の排他的論理積を求める論理回路612とを有している。

【 0 0 5 5 】

図 1 1 において、第 1、第 2、第 3 の 3 つの遅延調整回路 6 0 1、6 0 2、6 0 3 は入力側が共通接続され、入力信号（本実施の形態では、基準クロック）6 5 0 が入力されるようになっている。第 1、第 2、第 3 の 3 つの遅延調整回路 6 0 1、6 0 2、6 0 3 の出力信号は、L S I 内部のレジスタ、内部信号、外部の信号のいずれかにより、第 1 の遅延調整回路 6 0 1 は目標とするサイクル時間 c の $1/4$ の遅延時間を有するように調整され、第 2 の遅延調整回路 6 0 2 はサイクル時間 c の $2/4$ の遅延時間を有し、かつ反転されるように調整され、第 3 の遅延調整回路 6 0 3 はサイクル時間 c の $3/4$ の遅延時間を有し、かつ反転されるように調整される。

【 0 0 5 6 】

第 1 のセクタ 6 1 0 は第 1 の遅延調整回路 6 0 1 の出力に応じて入力信号 6 5 0 と第 2 の遅延調整回路の 6 0 2 の出力を選択する。第 2 のセクタ 6 1 1 は入力信号 6 5 0 に応じて第 1 の遅延調整回路 6 0 1 と第 3 の遅延調整回路 6 0 3 の出力を選択する。排他的否定論理和（E X - N O R）回路 6 1 2 は第 1、2 のセクタ 6 1 0、6 1 1 の出力の排他的論理積を求め、出力信号 6 6 0 を出力する。

【 0 0 5 7 】

ここで第 1 のセクタ 6 1 0 は第 1 の遅延調整回路 6 0 1 の出力によって制御されているが、第 3 の遅延調整回路 6 0 3 の出力、または第 1、第 3 の遅延調整回路 6 0 1、6 0 3 の出力の両方によって制御しても同様の効果が得られる。同様に第 2 のセクタ 6 1 1 は入力信号 6 5 0 及び第 2 の遅延調整回路 6 0 2 の一方、または両方によって制御されても同様の効果が得られる。図 1 2 は図 1 1 に示した各部の動作波形を示している。

【 0 0 5 8 】

動作周波数 f （サイクル時間 $c = 1/f$ ）の入力信号 6 5 0 が第 1、2、3 の 3 つの遅延調整回路 6 0 1、6 0 2、6 0 3 に入力される（図 1 2（A））。この入力信号 6 5 0 は、図示してない遅延調整回路により供給され、信号の立ち上がりが波形調整可能な信号である。入力信号 6 5 0 が第 1、2、3 の遅延調整回

路 6 0 1、6 0 2、6 0 3 に入力される結果、周波数 f を持った第 1、2、3 の内部信号が第 1、2、3 の遅延調整回路 6 0 1、6 0 2、6 0 3 より出力される（図 1 2 (B)、(D)、(F)）。図 1 2 (C) は、入力信号 6 5 0 の $2/4$ 周期だけ遅延させた信号、図 1 2 (E) は、入力信号 6 5 0 の $3/4$ 周期だけ遅延させた信号である。

【 0 0 5 9 】

入力信号 6 5 0、第 1、2、3 の遅延調整回路 6 0 1、6 0 2、6 0 3 の出力信号（内部信号）を第 1、第 2 のセレクタ 6 1 0、6 1 1 で統合する。すなわち、入力信号 6 5 0 と第 2 の遅延調整回路 6 0 2 の出力信号とを第 1 のセレクタ 6 1 0 で統合し、第 1 の遅延調整回路 6 0 1 の出力信号と第 3 の遅延調整回路 6 0 3 の出力信号とを第 2 のセレクタ 6 1 1 で統合する。

【 0 0 6 0 】

ここで第 1 のセレクタ 6 1 0 は、第 1 の遅延調整回路 6 0 1 の出力信号がローレベルの期間に入力信号 6 5 0 を選択し、ハイレベルの期間で遅延調整回路 6 0 2 の出力信号を選択するように動作する。

また、第 2 のセレクタ 6 1 1 は、入力信号 6 5 0 がローレベルの期間で遅延調整回路 6 0 3 の出力信号を選択し、ハイレベルの期間で遅延調整回路 6 0 1 の出力信号を選択するように動作する。この結果、第 1 のセレクタ 6 1 0 より入力信号 6 5 0 と第 2 の遅延調整回路 6 0 2 の出力信号とが統合された信号が出力される（図 1 2 (G)）、また第 2 のセレクタ 6 1 1 より第 1 の遅延調整回路 6 0 1 の出力信号と第 3 の遅延調整回路 6 0 3 の出力信号とが統合された信号が出力される（図 1 2 (H)）。

【 0 0 6 1 】

第 1 のセレクタ 6 1 0 の出力信号と第 2 のセレクタ 6 1 1 の出力信号は排他的論理積回路 6 1 2 により論理演算が行われ、入力信号 6 5 0 の動作周波数 f の 2 倍の周波数を有する信号（クロック）を得ることができる（図 1 2 (I)）。

【 0 0 6 2 】

本発明の第 5 の実施の形態に係るクロック生成回路によれば、基準クロックを入力とし、半導体集積回路装置の内部レジスタの値、または内部メモリの値、ま

たは内部の論理信号、または外部の信号により遅延時間を調整することが可能な第1、第2、第3の3つの遅延調整回路の出力を第1、第2の2つのセレクトで統合し、これらのセレクトの出力を論理回路により排他的論理積をとるようにしたので、入力信号である基準クロックのデューティ比に関係なく、自由なデューティ比のクロックを生成することが可能となる。

【0063】

次に、本発明の第6の実施の形態に係るクロック生成回路の構成を図13に示す。同図において、本実施の形態に係るクロック生成回路は、半導体集積回路装置の内部レジスタの値、または内部メモリの値、または内部の論理信号、または外部の信号により遅延時間を調整することが可能な第1、第2、第3、第4の4つの遅延回路700、701、702、703と、遅延調整回路700、701、702、703の入力端は共通接続され、第2及び第4の遅延調整回路701、703の出力の一方または両方により第1または第3の遅延調整回路700、702の出力を選択する第1のセレクト710と、第1及び第3の遅延調整回路700、702の出力の一方または両方により第2または第4の遅延調整回路701、703の出力を選択する第2のセレクト711と、第1及び第2のセレクト710、711の出力の排他的論理積を求める論理回路720とを有している。

【0064】

図13において、第1、第2、第3、第4の4つの遅延調整回路700、701、702、703は入力側が共通接続され、入力信号（本実施の形態では、基準クロック）750が入力されるようになっている。第1、第2、第3、第4の遅延調整回路700、701、702、703はの出力信号は、LSI内部のレジスタ、内部信号、外部の信号のいずれかにより、それぞれ目標とするサイクル時間を c 、セレクトと排他的論理積回路の遅延時間を τ としたとき、LSI内部のレジスタ、内部信号、外部の信号のいずれかにより、第1の遅延調整回路700は、 $(1/4c - \tau)$ の遅延時間を有するように、また第2の遅延調整回路701は、 $(2/4c - \tau)$ の遅延時間を有するように、それぞれ調整される。また第3の遅延調整回路702は、 $(3/4c - \tau)$ の遅延時間を有し、かつ反転さ

れるように調整され、第4の遅延調整回路703は、 $(c - \tau)$ の遅延時間を有し、かつ反転するように調整される。

【0065】

第1のセレクタ710は第2の遅延調整回路701の出力信号に応じて第1の遅延調整回路700の出力と第3の遅延調整回路702の出力とを選択する。第2のセレクタ711は第1の遅延調整回路700の出力信号に応じて第2の遅延調整回路701と第4の遅延調整回路703の出力とを選択する。排他的否定論理和 (E X - N O R) 回路720は第1、2のセレクタ710、711の出力の排他的論理積を求め、出力信号760を出力する。

【0066】

ここで、本実施の形態では第1のセレクタ710は第2の遅延調整回路701の出力によって制御されているが、第2、4の遅延調整回路701、703の出力の一方または両方によって制御しても同様の効果が得られる。同様に第2のセレクタ711は第1、第3の遅延調整回路700、702の出力の一方、または両方によって制御されても同様の効果が得られる。

【0067】

以上、本発明の第6の実施の形態に係るクロック生成回路によれば、基準クロックを入力とし、半導体集積回路装置の内部レジスタの値、または内部メモリの値、または内部の論理信号、または外部の信号により遅延時間を調整することが可能な第1、第2、第3、第4の4つの遅延調整回路の出力を第1、第2の2つのセレクタで統合し、これらのセレクタの出力を論理回路により排他的論理積をとるようにしたので、入力信号である基準クロックのデューティ比に関係なく、自由なデューティ比のクロックを生成することが可能となる。

【0068】

本発明の他の実施の形態として、その基本的構成は上記の通りであるが、例えばサイクル時間の $1/2$ の遅延時間を有するように調整された遅延調整回路を構成する場合、 $1/4$ の遅延時間を有するように調整された遅延調整回路を2個用いてもよいし、さらに微少な遅延時間を発生する遅延調整可能な遅延調整回路を用いて構成してもよい。

【 0 0 6 9 】

またここで重要なのは各遅延調整回路が発生する遅延時間の差分であり、差分が入力波形（クロック波形）のサイクル時間の $1/n$ になるようにして、入力波形の n 倍または $n/2$ 倍の周波数を持った波形を生成することが重要である。

さらにクロック生成回路の出力段に設けられる論理回路としての論理ゲートを排他的論理和とするか排他的論理積とするかによって、遅延調整回路がインバータとして動作するか、バッファとして動作するかが決定される。したがって、遅延回路として正論理、負論理のどちらを用いてもよい。

なお、本発明が上記各実施例に限定されず、本発明の技術思想の範囲内において、各実施例は適宜変更され得ることは明らかである。

【 0 0 7 0 】

【発明の効果】

請求項 1、2、3 に記載の遅延調整回路によれば、各ゲートが直列接続され入力信号の遅延時間の微調整を行うための第 1 のゲート群と、該第 1 のゲート群のうち特定のゲートの出力側に第 1 のスイッチ手段を介して接続される負荷容量と、前記第 1 のゲート群の出力側に第 2 のスイッチ手段を介して接続され前記入力信号の遅延時間の粗調整を行うための第 2 のゲート群と、前記第 1 のゲート群のうち特定のゲートの出力側に接続される負荷容量及び第 2 のゲート群のゲート段数を調整することにより前記入力信号の遅延時間を調整するように第 1、第 2 のスイッチ手段を制御する制御手段とを有するので、半導体集積回路装置の内部レジスタ値または内部信号、外部信号を制御することにより入力信号の遅延時間を調整することができる。

【 0 0 7 1 】

請求項 4 に記載のクロック生成回路によれば、PLL 回路を用いずに波形調整可能な遅延調整回路を用いているので、半導体集積回路装置の製造ばらつきに起因するクロックスキュー及びデューティ比を補償することができ、かつジッタを小さくすることができる。

【 0 0 7 2 】

請求項 5 に記載の半導体集積回路装置によれば、クロック生成回路における調

整可能な特定エッジのタイミングで動作するフリップフロップを論理ゲート間に設けるようにしたので、クロックスキュー及びジッタの影響を最小限に抑制することが可能になる。

【 0 0 7 3 】

請求項 6 に記載のクロック生成回路によれば、基準クロックが入力される 1 以上の請求項 1 乃至 3 のいずれかに記載の遅延調整回路と、基準クロックと、前記 1 以上の請求項 1 乃至 3 のいずれかに記載の遅延調整回路における出力信号との論理演算を行い前記基準クロックに対して N 倍動作周波数のクロックを出力する論理回路と、前記 1 以上の請求項 1 乃至 3 のいずれかに記載の遅延調整回路の出力を非動作モード時にのみ一定値に固定する設定手段とを有するので、非動作モードとして基準クロックの 1 倍又は動作モードとして基準クロックの N 倍の動作周波数の波形制御可能なクロックを出力することができる。

【 0 0 7 4 】

請求項 7 に記載のクロック生成回路によれば、請求項 2 または 3 のいずれかに記載の遅延調整回路と、該クロック生成回路のクロック出力のデューティ比を検出するデューティ比検出手段と、前記デューティ比検出手段の検出出力に基づいて予め設定されたデューティ比となるように前記遅延調整回路内のレジスタ値を動的に更新する制御手段とを有するので、クロックのデューティ比が期待値になるように自動的に調整することができる。

【 0 0 7 5 】

請求項 8 に記載のクロック生成回路によれば、請求項 2 または 3 のいずれかに記載の遅延調整回路と、クロックスキューを検出するクロックスキュー検出手段と、前記クロックスキュー検出手段の検出出力に基づいてクロックスキューが予め設定された期待値となるように前記遅延調整回路内のレジスタ値を動的に更新する制御手段とを有するので、クロックスキューが予め設定された期待値となるように自動的に調整することができる。

【 0 0 7 6 】

請求項 9 に記載のクロック生成回路によれば、PLL 回路を使用することなく、クロック波形を制御することができ、それ故半導体集積回路装置（LSI）動

作時に生じるジッタを低減でき、L S I 内におけるトランジスタ性能、配線幅、配線膜厚の製造ばらつきに起因して生じるクロックスキュー、及びクロックのデューティ比の変動に対してクロック波形を調整することができる。

【 0 0 7 7 】

請求項 1 0、1 1 に記載のクロック生成回路によれば、基準クロックを入力とし、半導体集積回路装置の内部レジスタの値、または内部メモリの値、または内部の論理信号、または外部の信号により遅延時間を調整することが可能な複数の遅延調整回路の出力を複数のセレクタで統合し、これらのセレクタの出力を論理回路により排他的論理積をとるようにしたので、入力信号である基準クロックのデューティ比に関係なく、自由なデューティ比のクロックを生成することが可能となる。

【図面の簡単な説明】

【図 1】 本発明の実施の形態に係る遅延調整回路の具体的構成を示す回路図。

【図 2】 図 1 に示す遅延調整回路の入出力関係を示すブロック図。

【図 3】 図 2 における遅延調整回路の入力信号としての基準クロックと出力信号としてのクロックの出力タイミングを示すタイミングチャート。

【図 4】 本発明の第 1 の実施の形態に係るクロック生成回路の構成を示す回路図。

【図 5】 図 4 に示すクロック生成回路の各部の信号を示すタイミングチャート。

【図 6】 クロック生成回路により生成される調整可能な特定エッジを有するクロックの波形と、このクロックの特定エッジのタイミングで動作するフリップフロップが論理ゲート間に設けられた半導体集積回路装置の回路構成とを示す説明図。

【図 7】 本発明の第 2 の実施の形態に係るクロック生成回路の構成を示す回路図。

【図 8】 本発明の第 3 の実施の形態に係るクロック生成回路の構成を示す

回路図。

【図 9】 図 8 に示すクロック生成回路の各部の信号を示すタイミングチャート。

【図 1 0】 本発明の第 4 の実施の形態に係るクロック生成回路の構成を示すブロック図。

【図 1 1】 本発明の第 5 の実施の形態に係るクロック生成回路の構成を示す回路図。

【図 1 2】 図 1 1 に示すクロック生成回路の各部の動作波形を示すタイミングチャート。

【図 1 3】 本発明の第 6 の実施の形態に係るクロック生成回路の構成を示す回路図。

【図 1 4】 従来のクロック生成回路に使用されている PLL 回路の構成を示すブロック図。

【符号の説明】

- 1 0 第 1 のゲート群
- 1 1 ～ 1 4 インバータ
- 2 0 第 2 のゲート群
- 2 1 ～ 2 3 インバータチェーン
- 3 0 レジスタ群（制御手段）
- 4 0 ～ 4 3、5 0 ～ 5 3 トランスファゲート（第 1 のスイッチ手段）
- 8 0 ～ 8 3 トランスファゲート（第 2 のスイッチ手段）
- 3 0 0、3 0 2、3 0 3、4 0 0、4 1 0 遅延調整回路
- 3 0 1、3 0 4、4 2 0 論理回路
- 4 0 0 クロック生成回路
- 4 1 2 レジスタ
- 4 1 4 可変遅延回路
- 4 3 0 検出回路
- 4 4 0 制御回路
- 5 0 0 基準クロック発生回路

5 1 0 分配回路

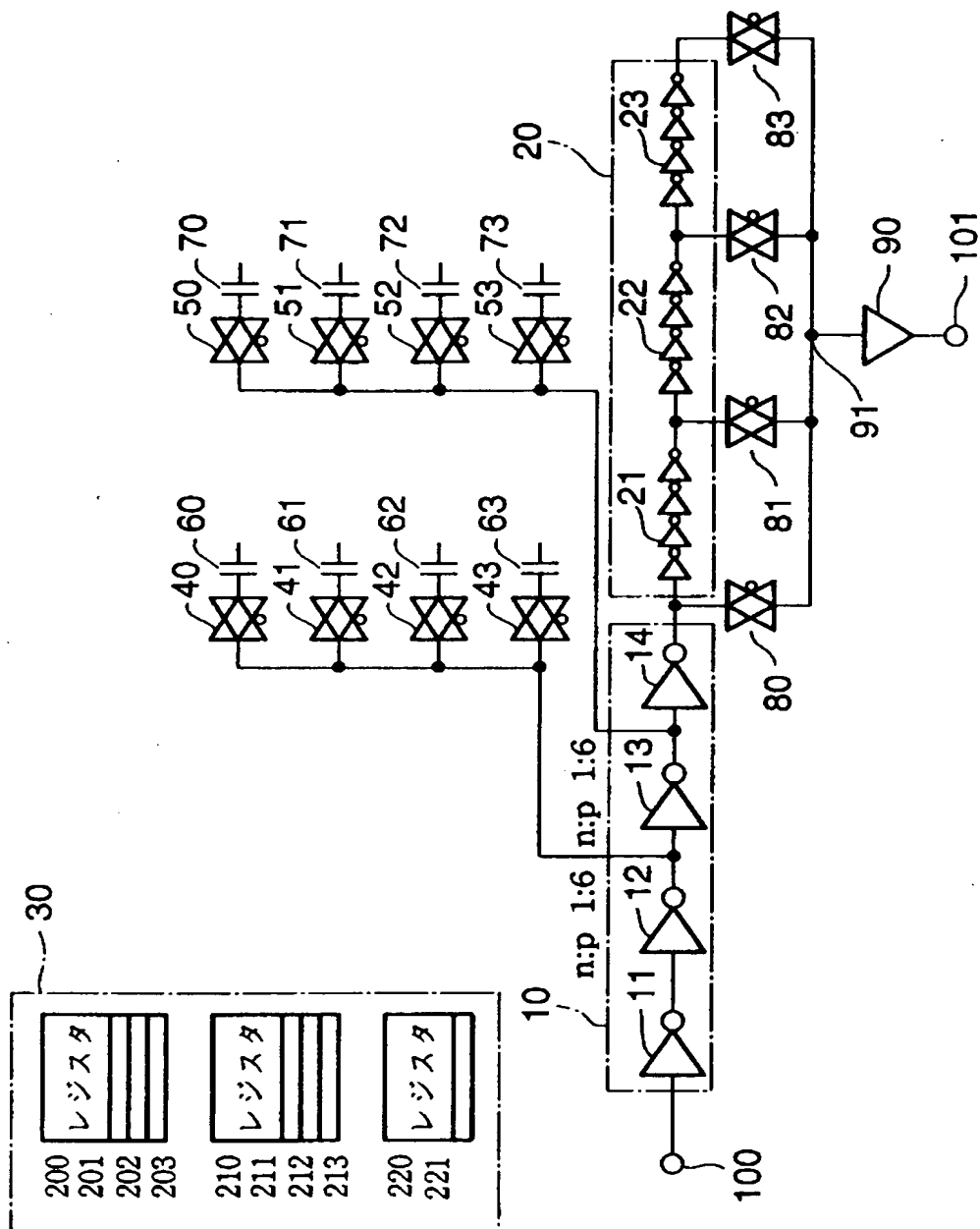
6 0 1、6 0 2、6 0 3 遅延調整回路

6 1 0、6 1 1 セレクタ

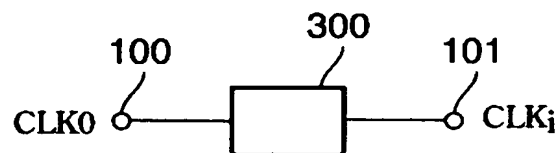
6 1 2 排他的論理積回路

【書類名】 図面

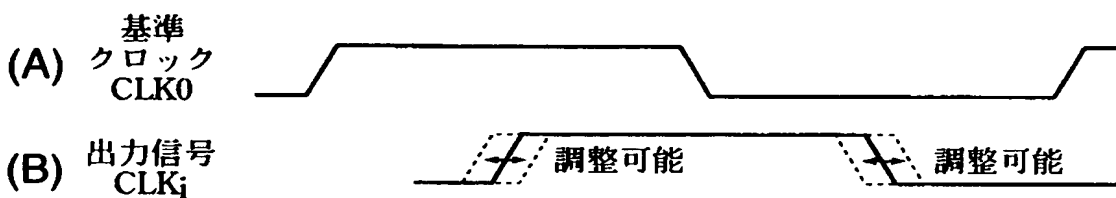
【図 1】



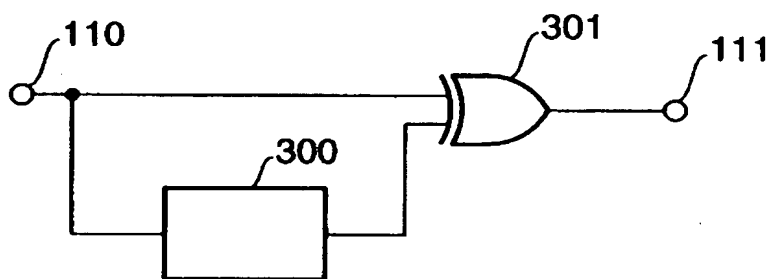
【図 2】



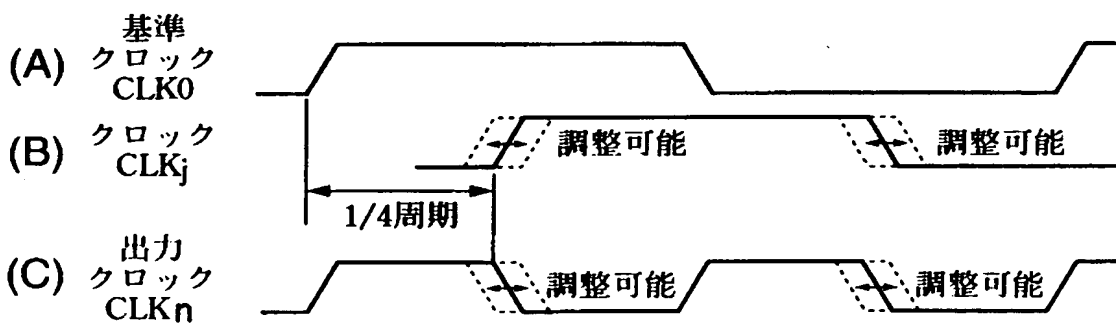
【図 3】



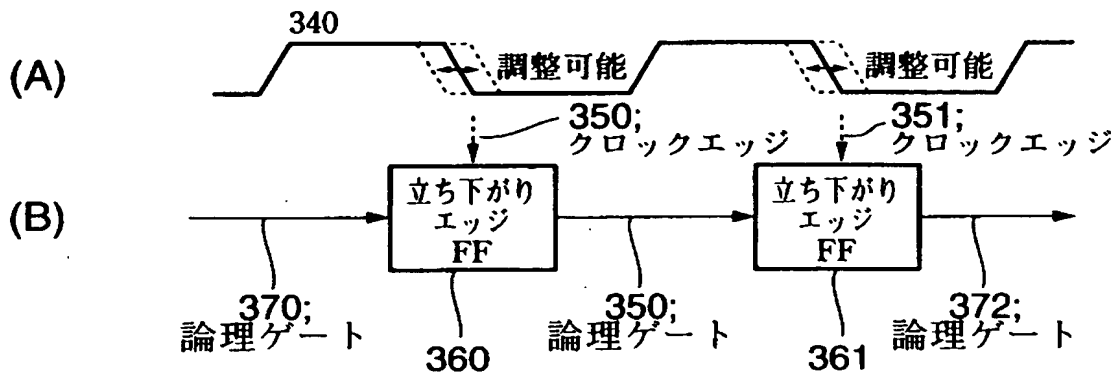
【図 4】



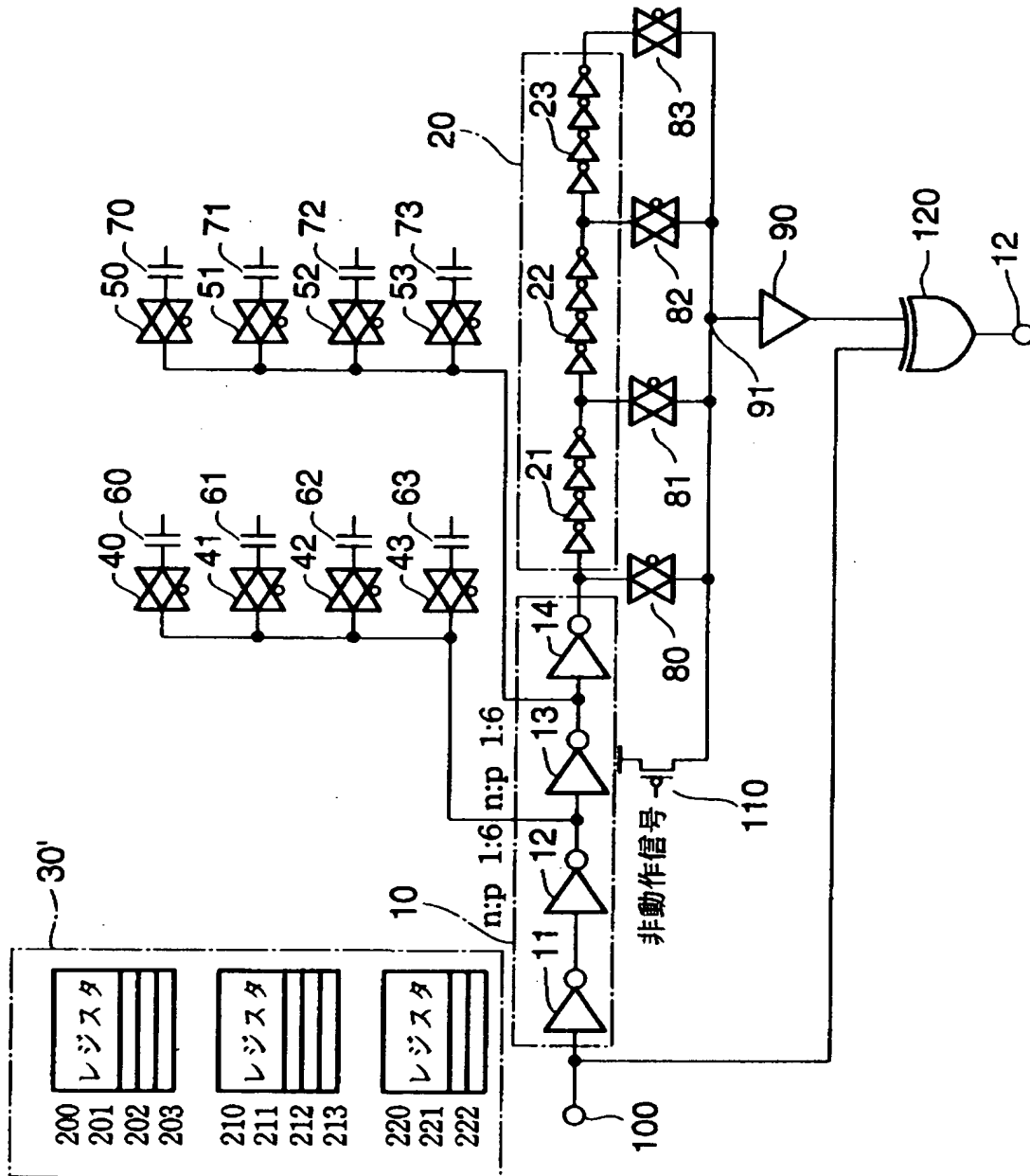
【図 5】



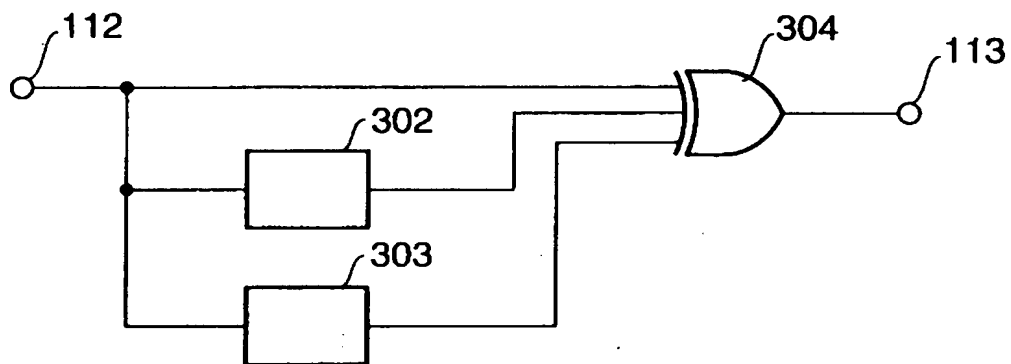
【図 6】



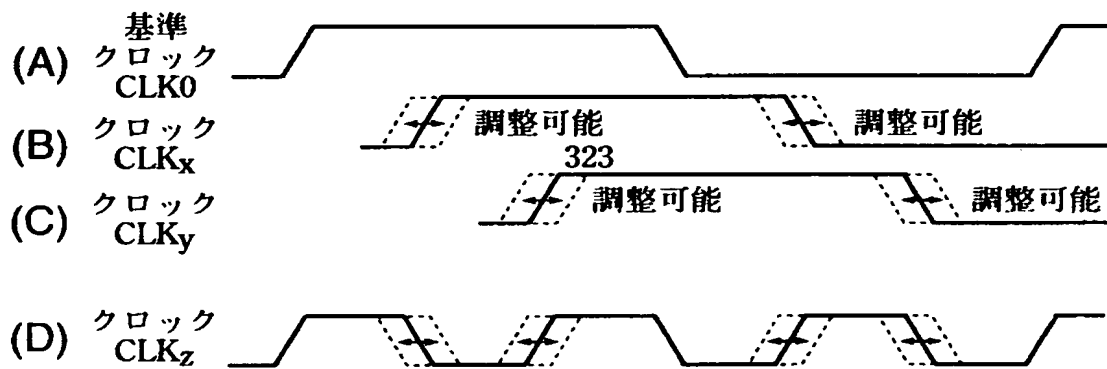
【図7】



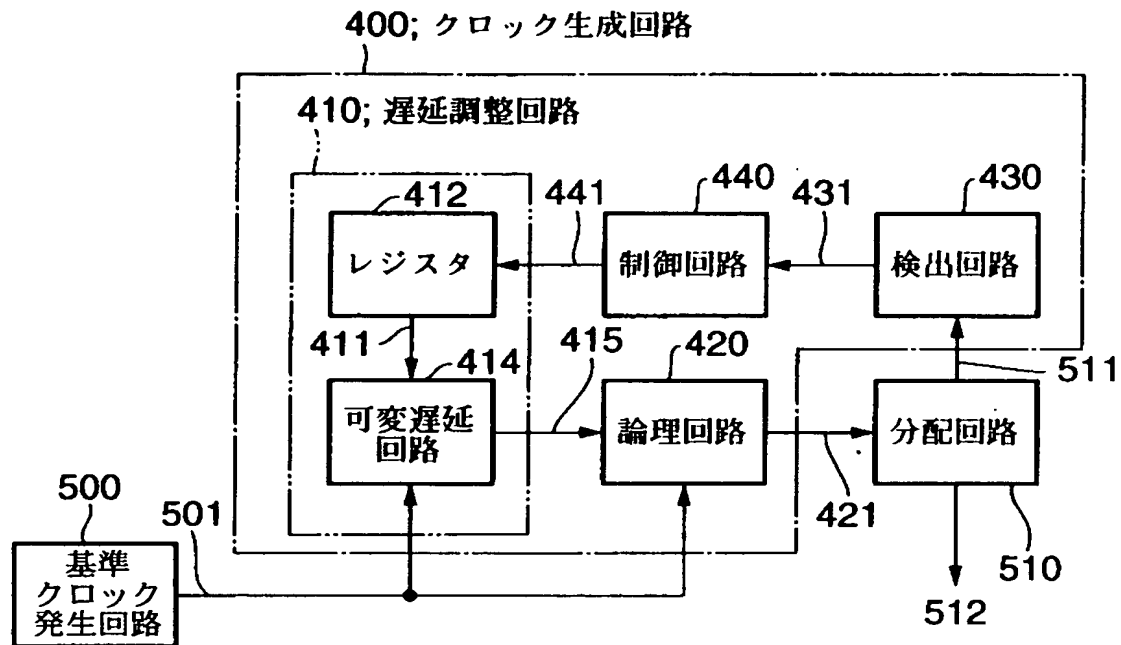
【図 8】



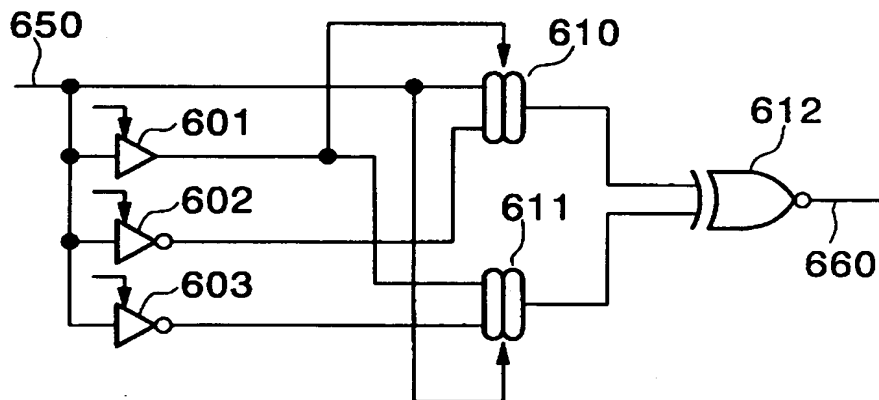
【図 9】



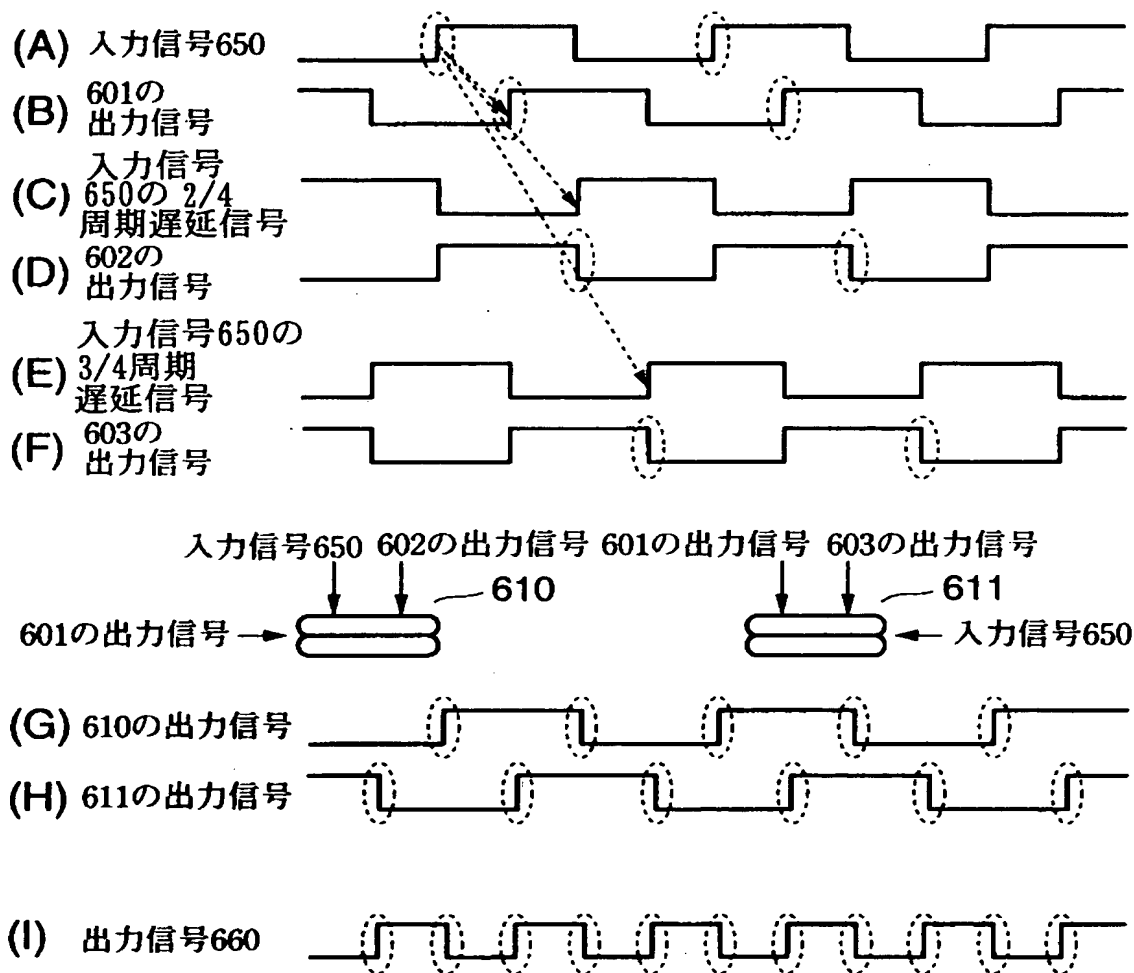
【図 1 0】



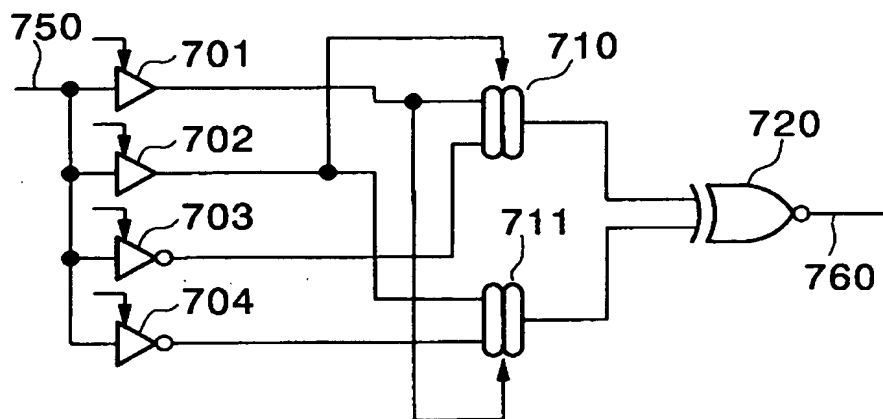
【図 1 1】



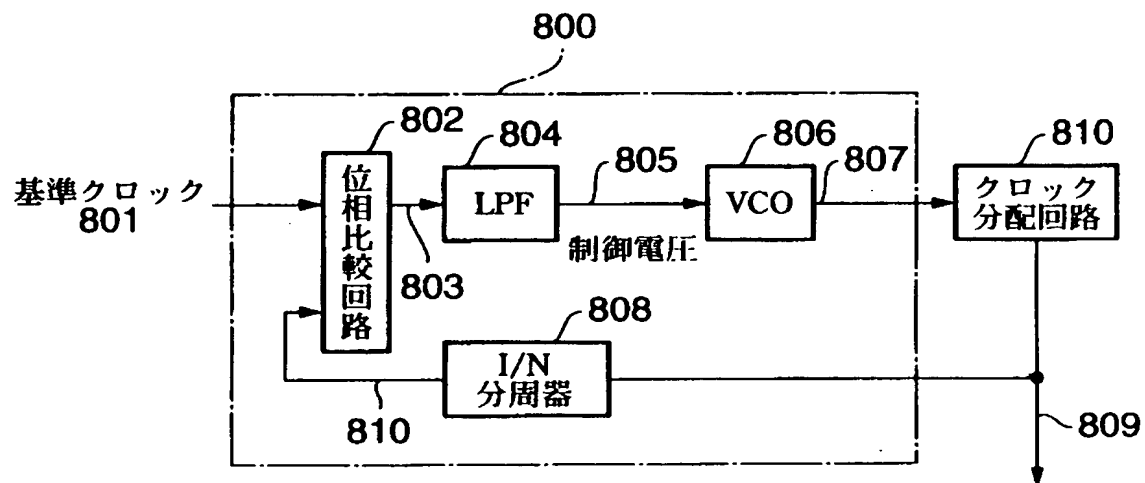
【図 1 2】



【図 1 3】



【図 14】



【書類名】 要約書

【要約】

【課題】 半導体集積回路装置の内部レジスタ値または内部信号、外部信号を制御することにより入力信号の遅延時間を調整すること。

【解決手段】 入力信号の遅延時間の微調整を行うための第1のゲート群10と、第1のゲート群のうち特定のゲートの出力側に第1のスイッチ手段40～43、50～53を介して接続される負荷容量60～63、70～73と、前記入力信号の遅延時間の粗調整を行うための第2のゲート群20と、前記第1のゲート群10のうち特定のゲートの出力側に接続される負荷容量及び第2のゲート群20のゲート段数を調整することにより前記入力信号の遅延時間を調整する制御手段30とを有する。

【選択図】 図1

認定・付加情報

特許出願の番号	特願 2000-028077
受付番号	50000128095
書類名	特許願
担当官	岡田 幸代 1717
作成日	平成12年 2月14日

<認定情報・付加情報>

【特許出願人】

【識別番号】	000004237
【住所又は居所】	東京都港区芝五丁目7番1号
【氏名又は名称】	日本電気株式会社

【代理人】

申請人

【識別番号】	100108578
【住所又は居所】	東京都新宿区高田馬場3丁目23番3号 ORビ ル 志賀国際特許事務所
【氏名又は名称】	高橋 詔男

【代理人】

【識別番号】	100064908
【住所又は居所】	東京都新宿区高田馬場3丁目23番3号 ORビ ル 志賀国際特許事務所
【氏名又は名称】	志賀 正武

【選任した代理人】

【識別番号】	100101465
【住所又は居所】	東京都新宿区高田馬場3丁目23番3号 ORビ ル 志賀国際特許事務所
【氏名又は名称】	青山 正和

【選任した代理人】

【識別番号】	100108453
【住所又は居所】	東京都新宿区高田馬場3丁目23番3号 ORビ ル 志賀国際特許事務所
【氏名又は名称】	村山 靖彦

出 願 人 履 歴 情 報

識別番号 [000004237]

1. 変更年月日 1990年 8月29日
[変更理由] 新規登録
住 所 東京都港区芝五丁目7番1号
氏 名 日本電気株式会社